****

**ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ**

**ΚΑΙ ΤΕΧΝΟΛΟΓΙΑΣ ΥΠΟΛΟΓΙΣΤΩΝ**

**Σχεδιασμός Ολοκληρωμένων Κυκλωμάτων (VLSI) ΙI**

**Project**

**Wallace Multiplier 8-bit**

|  |  |  |
| --- | --- | --- |
| **Ομάδα:** | 05 | |
| **Ονοματεπώνυμο:** | Νικόλαος Τσαφάς | Παναγιώτης Σεϊτανίδης |
| **Αριθμός Μητρώου:** | 8219 | 8187 |
| **Τομέας:** | Ηλεκτρονικής και Υπολογιστών | Ηλεκτρονικής και Υπολογιστών |
| **Έτος φοίτησης:** | 4ο | 4ο |
| **Ακ. έτος διεξαγωγής εργαστηρίου:** | 2015-2016 | |
| **Ημ/νία διεξαγωγής εργ. άσκησης:** | --------------- | |

**Σκοπός**

Στόχος της άσκησης είναι αρχικά να σχεδιαστεί ένας πλήρης και λειτυοργικός πολλαπλασιαστής Wallace. Θα πραγματοποιείται ο πολλαπλασιαμός δύο ακεραίων χρησιμοποιώντας το δέντρο Wallace και τον αλγόριθμο Baugh-Wooley για το χειρισμό προσημασμένων αριθμών.

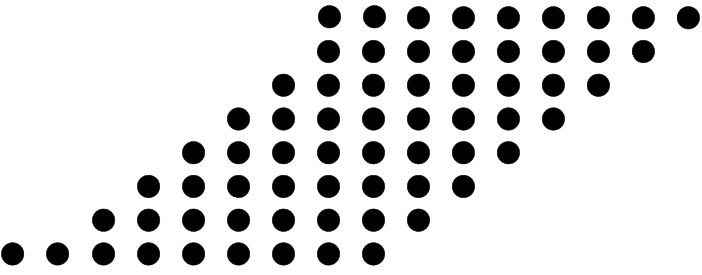
Περιλαμβάνεται η υλοποίηση των παρακάτω κυκλωμάτων

* Κωδικοποίηση Bough-Wooley (αντιμετώπιση αρνητικών ποσοτήτων)
* Wallace Tree
* Carry-Save Adder (τεχνική άθροισης πολλών bit ίδιου βάρους)
* Carry Propagate Adder (για τη δημιουργία τελικού αποτελέσματος)

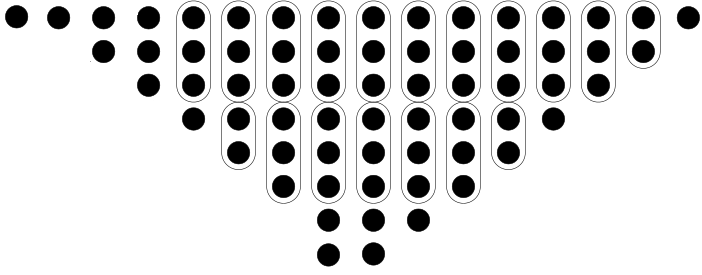
**Wallace Tree Multiplier**

Το δέντρο Wallace είναι μία αποδοτική υλοποίηση σε υλικό ενός ψηφιακού κυκλώματος πολλαπλασιασμού δύο ακεραίων. Το δέντρο Wallace μειώνει τον αριθμό μερικών γινομένων κατά δύο σε κάθε επίπεδο με χρήση full and half adders σε αναπαράσταση δέντρου με (3,2) ή (4,2) και (2,2) αθροιστές.

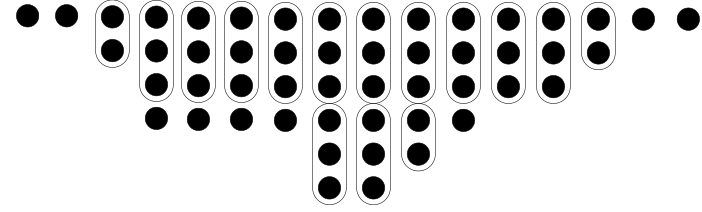
Διαγράμματα κουκίδων



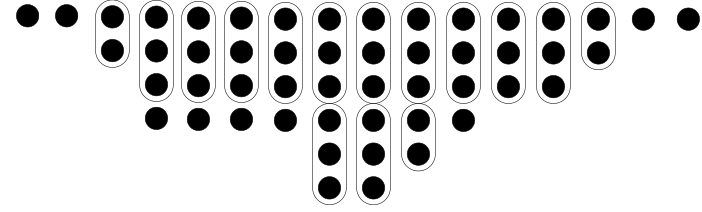
Μερικά γινόμενα



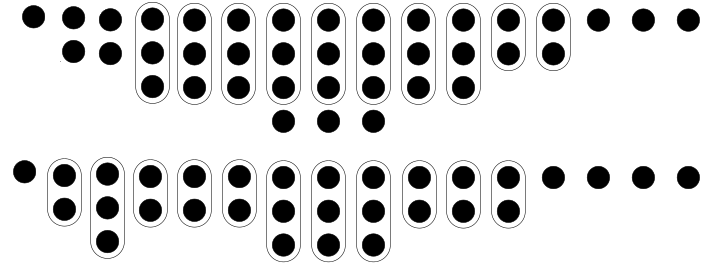
1st layer



2nd layer



2nd layer



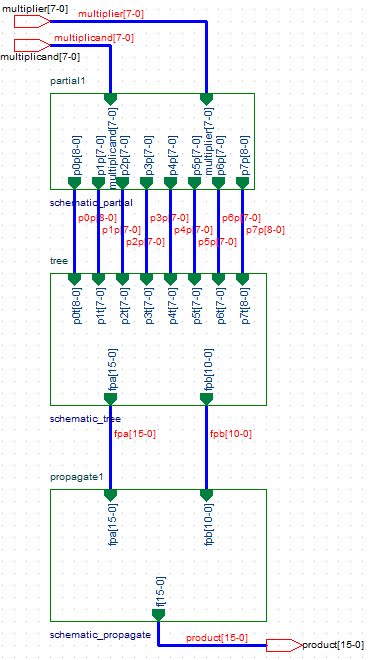
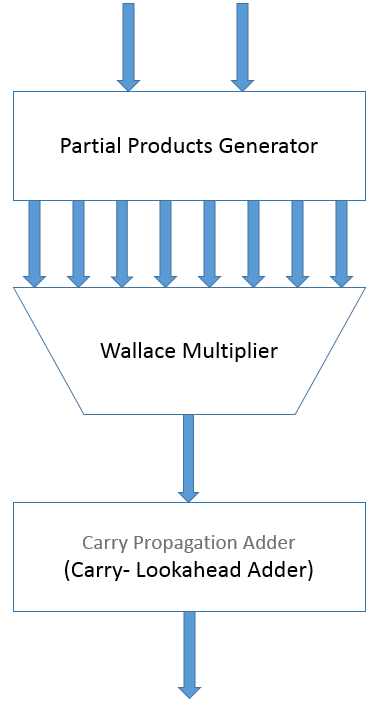
3rd layer

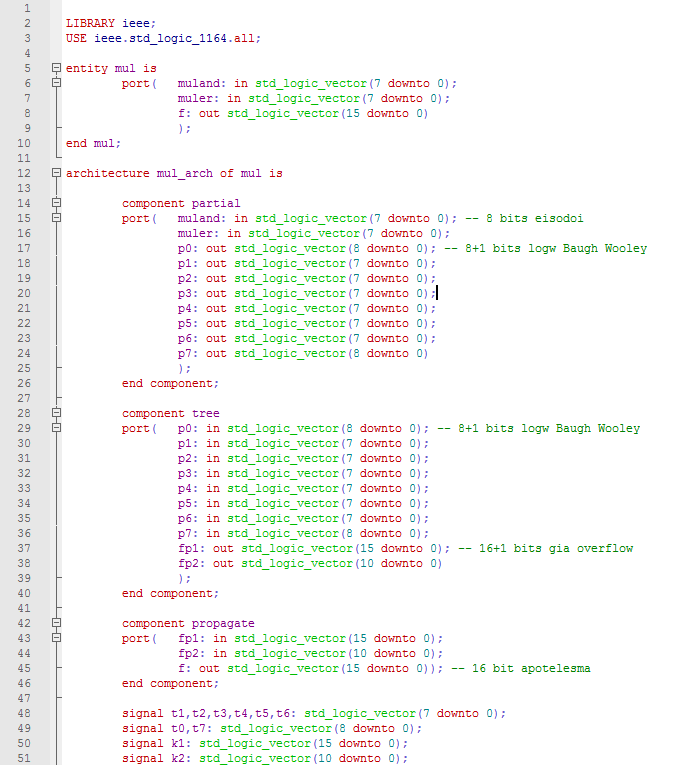
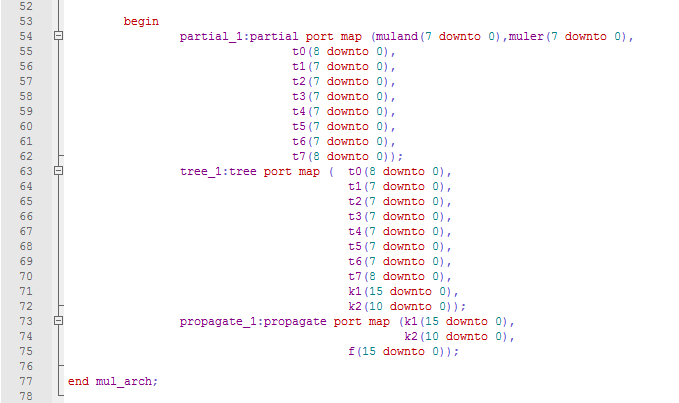
4th layer



Carry propagate adder

**Αρχιτεκτονική**

****

****

**Εκτέλεση Άσκησης:**

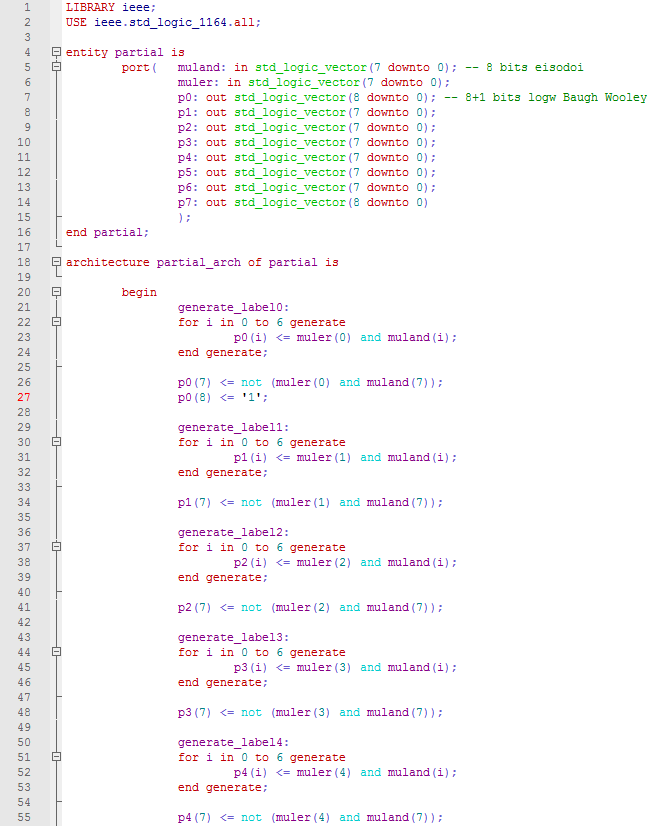
**Partial Products Generator**

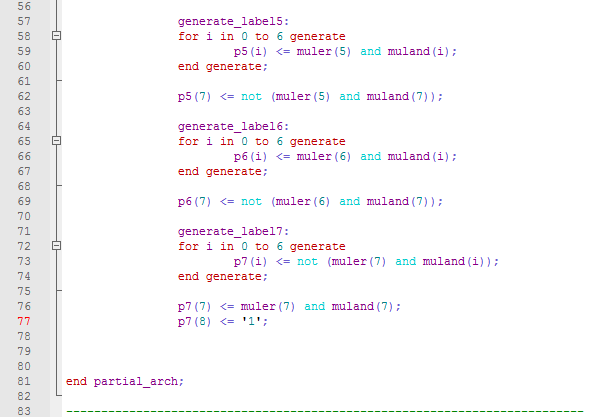
Το κύκλωμα αυτό παράγει τα μερικά αθροίσματα. Ελέγχει την περίπτωση αρνητικών πολλαπλασιαστέων. Υλοποιεί την Baugh-Wooley λογική.

Χαρακτηριστικά:

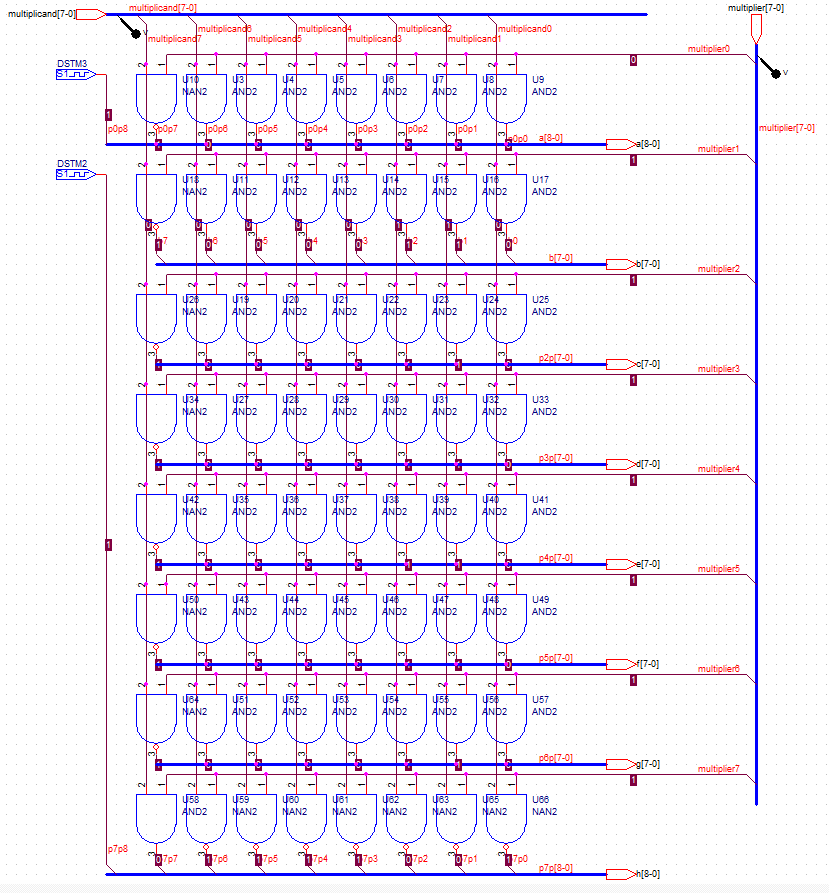
* Όλα τα γινόμενα δημιουργούνται ταυτόχρονα
* Μέγιστη καθυστέριση NAND gate
* Απαιτεί πολύ υλικό (Ν2 AND gates)

Η υλοποίηση σε vhdl κώδικα:

****

****

Η υλοποίηση στο PSPICE:

****

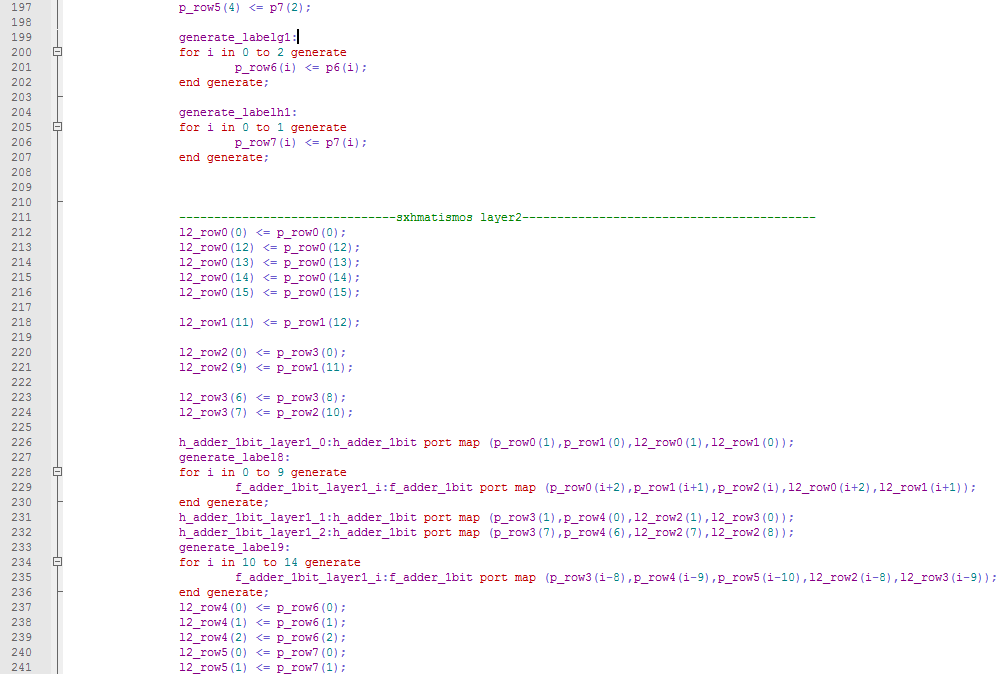
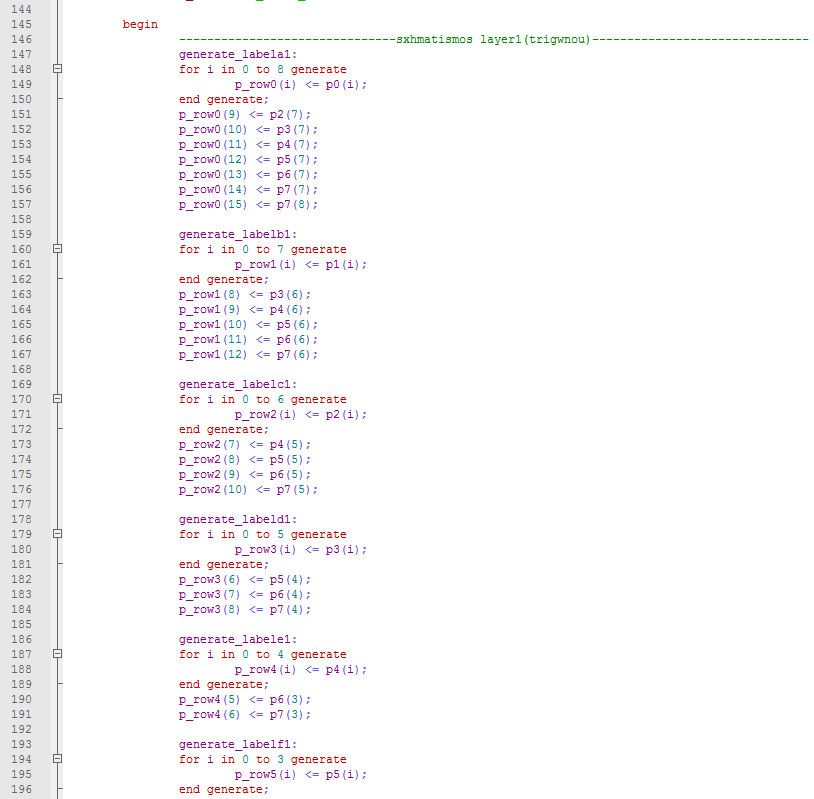
**Wallace Tree**

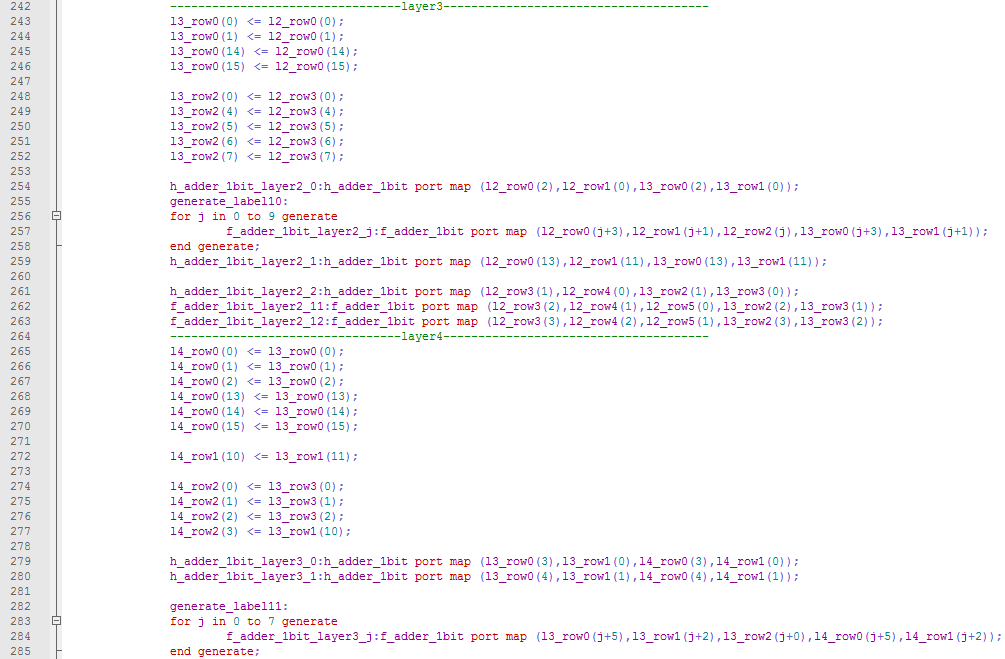
Το κύκλωμα αυτό αθροίζει τα 8 μερικά αθροίσματα κατάλληλα με τη χρήση (3,2) και (2,2) counters .

* Δημιουργεί τη δομή δέντρου στα bits κάθε επιπέδου
* Τοποθετεί στρώσεις από carry save adders.
* Εφαρμοζει τις κατάληλες καλωδιώσεις μεταξύ των adders.

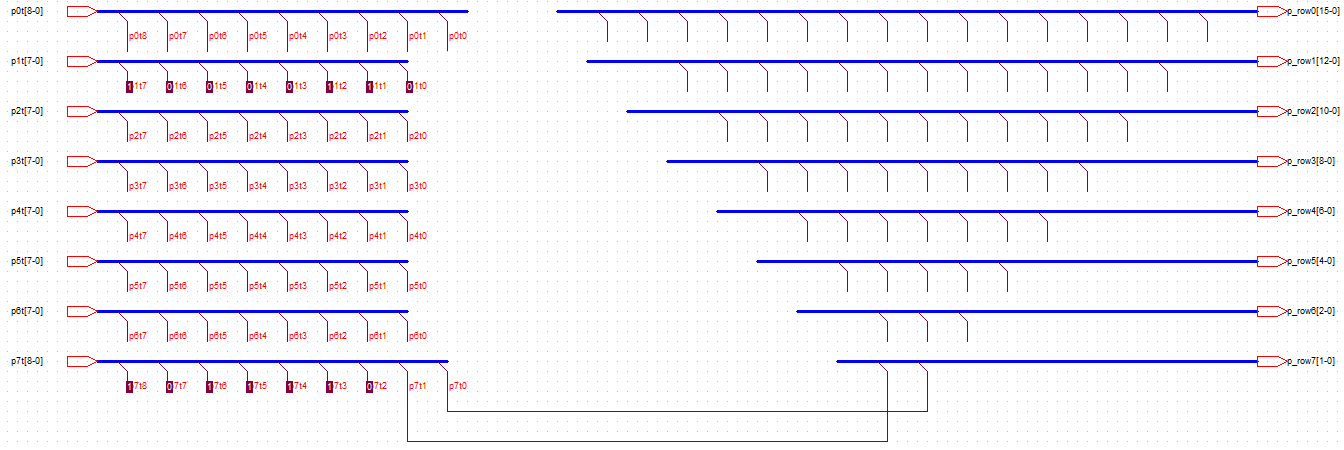
Η υλοποίηση σε vhdl κώδικα:

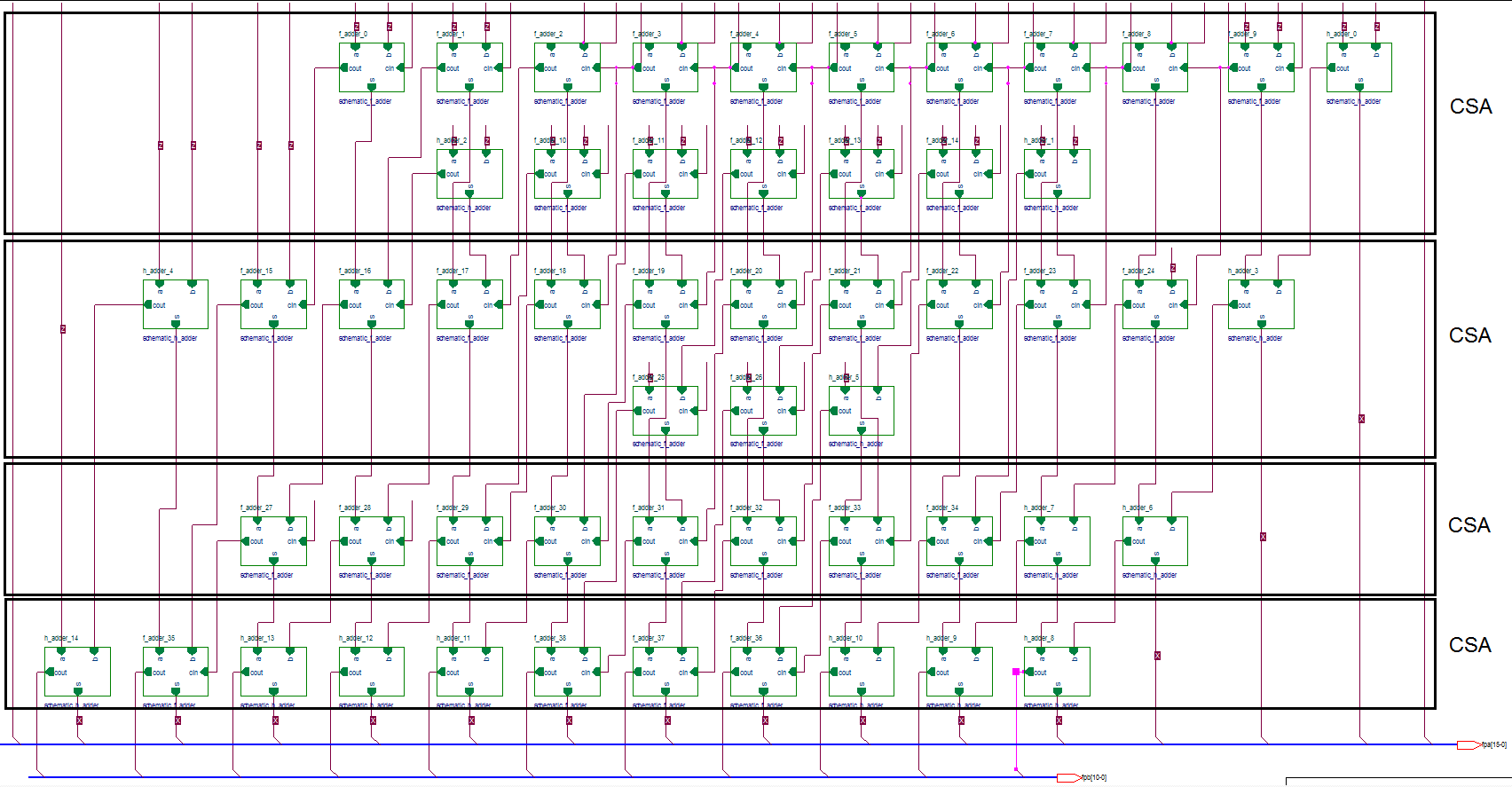






Η υλοποίηση στο PSPICE:

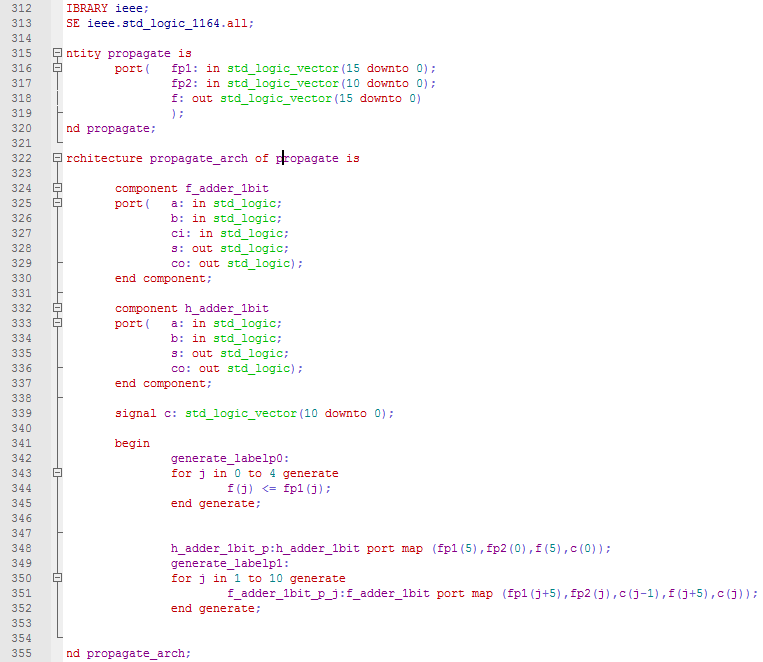
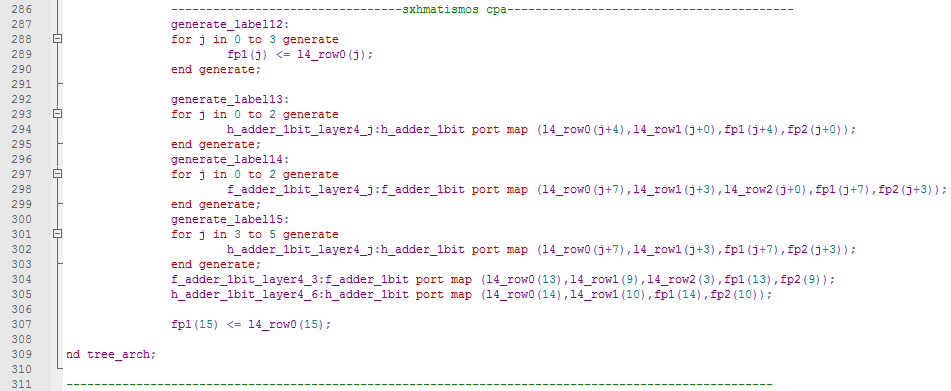




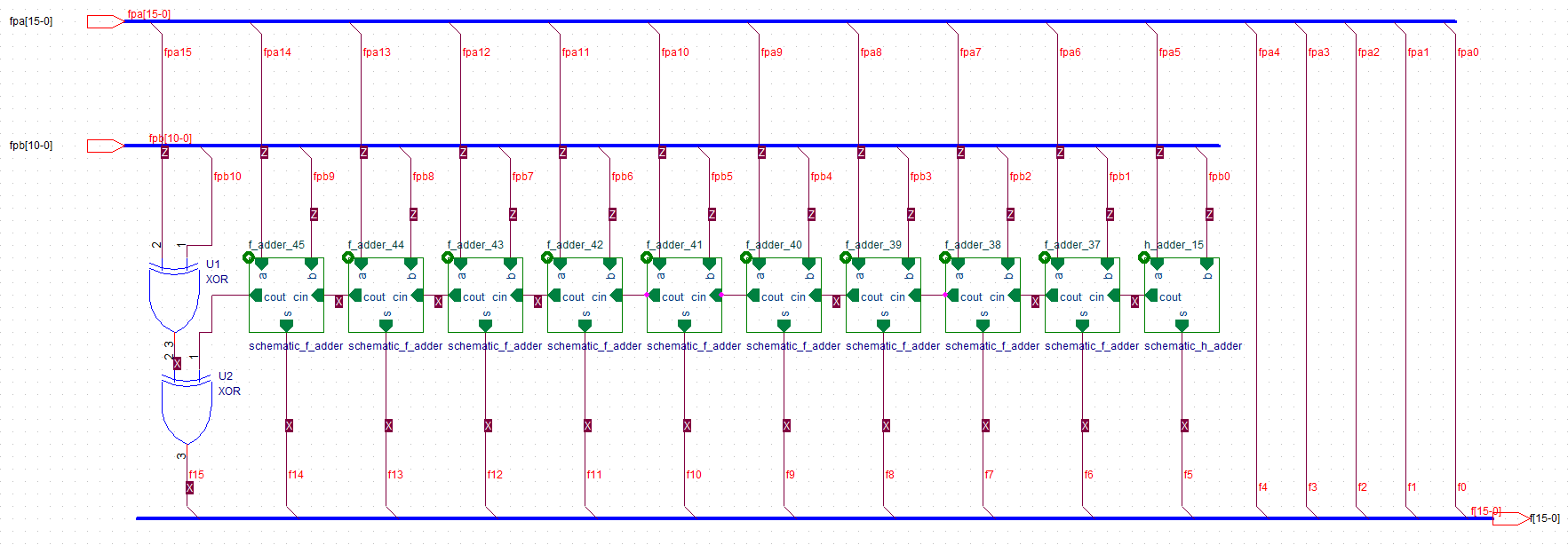
**Carry Propagate Adder**

Το κύκλωμα αυτό αθροίζει τα τελικά 16-bit.

Η υλοποίηση σε vhdl κώδικα:



Η υλοποίηση στο PSPICE:

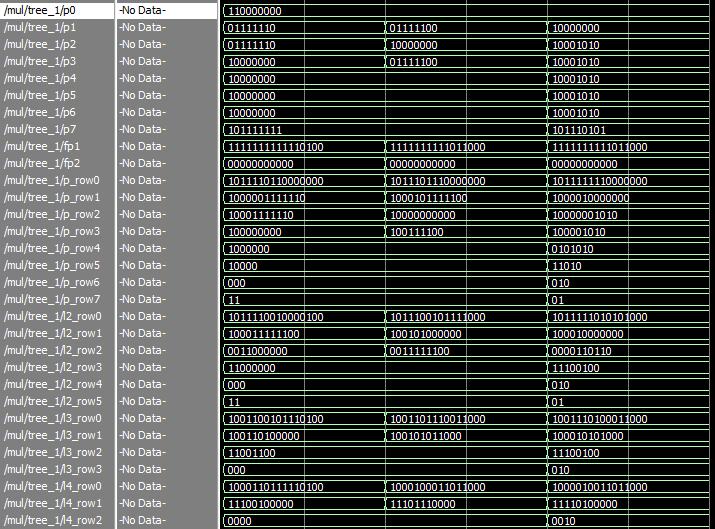
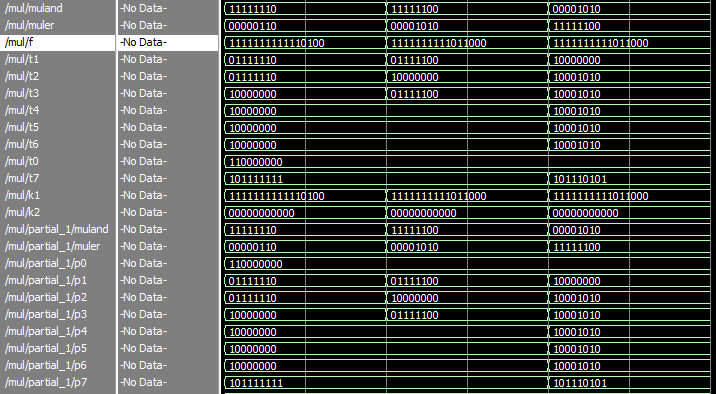


Τέλος προσομοιώσαμε τη λειτουργία του πολλαπλασιαστή για να επιβεβαιώσουμε τον σχεδιασμό μας και τη σωστή λειτουργία του.

Πολλαπλασιάσαμε τους αριθμούς (-2)\*6 (-2)\*10 10\* (-2)

και πηραμε τα σωστα αποτελέσματα.

Στις εικόνες φαίνεται η δημιουργία των διάφορων επιπέδων carry save adders.



Δεν καταφέραμε να τρέξουμε τις προσωμοιώσεις σε pspice καθώς συνέβαιναν αρκετά λάθη στήν ένωση επιμέρους καλωδίων σε buses.